

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-135404
 (43)Date of publication of application : 21.05.1999

(51)Int.Cl. H01L 21/027
 H01L 21/3205
 // H01L 21/76

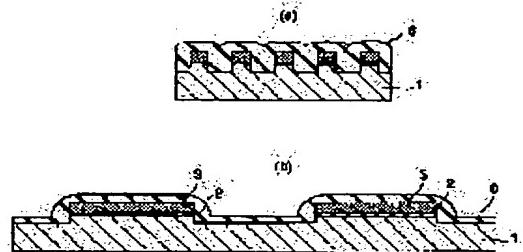
(21)Application number : 09-300704 (71)Applicant : NEC CORP
 (22)Date of filing : 31.10.1997 (72)Inventor : HORIBA SHINICHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device wherein an alignment mark is easily detected at stepper exposure without increasing the number of processes.

SOLUTION: Related to a method for manufacturing a semiconductor device wherein, on the main surface of a semiconductor substrate 1, a first groove for element separation and a second groove for exposure alignment mark are formed, an insulating film embedding process where an insulating film 6 is embedded in the first groove on the first semiconductor substrate 1 and the second groove of the exposure alignment mark, respectively, and an insulating film etching process where, with a photo-resist as a mask, a part of the insulating film 6 formed above the main surface of the semiconductor substrate 1 and the insulating film 6 formed in the groove of the exposure alignment mark are etched, are provided.



LEGAL STATUS

[Date of request for examination] 31.10.1997

[Date of sending the examiner's decision of rejection] 06.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-135404

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.⁶

H 01 L 21/027

21/3205

// H 01 L 21/76

識別記号

F I

H 01 L 21/30

5 0 2 M

5 2 3

21/88

B

21/76

L

審査請求 有 請求項の数 6 OL (全 10 頁)

(21)出願番号

特願平9-300704

(22)出願日

平成9年(1997)10月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 堀場 信一

東京都港区芝五丁目7番1号 日本電気株
式会社内

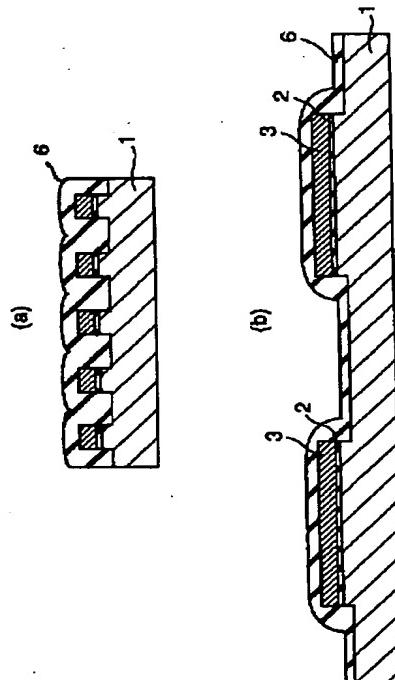
(74)代理人 弁理士 後藤 洋介 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 工程数を増加させずにステッパー露光時のアライメントマークの検出を容易に行える半導体装置の製造方法を提供する。

【解決手段】 半導体基板1 主面に素子分離用の第1の溝と露光用アライメントマークの第2の溝とを形成する半導体装置の製造方法において、前記半導体基板1 上の前記第1の溝と前記露光用アライメントマークの第2の溝とに夫々絶縁膜6 を埋め込む絶縁膜埋込工程と、フォトレジストをマスクとして前記半導体基板1 主面より上に形成された前記絶縁膜6 の一部と前記露光用アライメントマークの溝内に形成された前記絶縁膜6 をエッチングする絶縁膜エッチング工程とを有する。



【特許請求の範囲】

【請求項1】半導体基板正面に素子分離用の第1の溝と露光用アライメントマークの第2の溝とを形成する半導体装置の製造方法において、前記半導体基板上の前記第1の溝と前記露光用アライメントマークの第2の溝とに夫々絶縁膜を埋め込む絶縁膜埋込工程と、フォトレジストをマスクとして前記半導体基板正面よりも外側に形成された前記絶縁膜の一部と前記第2の溝内に形成された前記絶縁膜とをエッチングする絶縁膜エッチング工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】請求項1記載の半導体装置の製造方法において、前記第1の溝及び前記第2の溝は、前記半導体基板上に酸化膜及び塗化膜を形成して、フォトレジストを介して所望する形状に、前記半導体基板上を前記酸化膜及び前記塗化膜とともにドライエッチする溝形成工程によって形成されていることを特徴とする半導体装置の製造方法。

【請求項3】請求項1又は2記載の半導体装置の製造方法において、前記絶縁膜エッチング工程は、前記基板上の前記酸化膜及び前記塗化膜上に形成された絶縁膜の凸部と前記第2の溝上の絶縁膜の少なくとも一部とを除去する工程であることを特徴とする半導体装置の製造方法。

【請求項4】請求項1乃至3の内のいずれかに記載の半導体装置の製造方法において、前記絶縁膜エッチング工程の後に、更に、CMP研磨することと前記塗化膜及び前記酸化膜を除去することによって、前記第1の溝にトレンチ分離酸化膜を形成するとともに、前記第2の溝を形成し、前記基板表面にゲート酸化膜を形成し、前記ゲート酸化膜及び前記トレンチ分離酸化膜上にシリコン膜を形成し、前記シリコン膜上に高融点金属シリサイドを形成する工程を備えていることを特徴とする半導体装置の製造方法。

【請求項5】請求項1乃至4の内のいずれかに記載の半導体装置の製造方法において、前記絶縁膜埋込工程に、減圧CVD法を用いることを特徴とする半導体装置の製造方法。

【請求項6】請求項1乃至4の内のいずれかに記載の半導体装置の製造方法において、前記絶縁膜埋込工程に、バイアス高密度プラズマCVD法を用いることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、詳しくは、多層配線構造を備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、素子分離技術には、LOCOS (local oxidation of silicon; 酸化膜分離) 法による素子分離技術が用いられてきた。最近では、LSIの微

細化に伴い新しい素子分離技術として、シリコン基板に溝を掘り、そこに酸化膜を埋め込んで素子分離を行うトレンチ分離技術が用いられるようになってきている。この従来のトレンチ分離酸化膜の形成方法の一例について、図11乃至図16を用いて説明する。各図において、(a)はセルアレイ部の断面図である。また、各図において、(b)は、リソグラフィー工程においてステッパーで露光を行うときに用いるアライメントマーク部の断面図であり、トレンチ分離と同時に形成されるものである。

【0003】図11(a)及び(b)を参照すると、半導体基板51上に100Åの酸化膜52と、その上に2000Åの塗化膜53を形成した後、フォトレジスト54を所定の形状にパターニングする。次に、フォトレジスト54をマスクとして塗化膜53と酸化膜52と半導体基板51とをドライエッチングにより除去し、半導体基板に2000Å程度の素子分離用の第1の溝55と露光用アライメントマークの第2の溝55とを形成する。

【0004】次に、図12(a)及び(b)に示すように、フォトレジスト54を除去した後、減圧CVD (Chemical vapor deposition) 法を用いて、酸化膜56を5000Å堆積する。次に、パターンの疎密による研磨レートの差をなくすために、CMP研磨前に、フォトレジスト57によってパターニングを行い、図13(a)及び(b)に示すように、フォトレジスト57によって、マスクされていない大面積に酸化膜56が凸になっている部分をドライエッチングにより除去する。その後、フォトレジスト57を除去する。

【0005】次に、図14(a)及び(b)に示すように、CMP技術を用いて酸化膜56を塗化膜53をストップ膜として研磨し、ウェハ全面を平坦にする。その後、塗化膜53を高温の磷酸溶液で、酸化膜52をフッ酸溶液で除去する。これにより、セルアレイ部には、トレンチ分離酸化膜58が形成され、アライメントマーク部の溝71にもトレンチ分離酸化膜が埋め込まれている。続いて、図15(a)及び(b)に示すように、フォトレジスト72を用いてパターニングを行い、アライメントマーク部のみ露出させた後、酸化膜エッチングを行いアライメントマーク段差70内の酸化膜58を除去する。次に、図16(a)及び(b)に示すように、フォトレジスト72を除去し、ゲート酸化膜59を形成した後、ゲート電極膜として、多結晶シリコン60とタンゲステンシリサイド膜61を形成する。その後、ゲート電極のパターニングマスクとしてフォトレジストを用い露光を行う。

【0006】

【発明が解決しようとする課題】しかしながら、従来技術においては、トレンチ分離酸化膜を形成した場合、CMPの平坦化により段差がなくなってしまう。このため

ゲート電極にタングステンシリサイドなどの反射の大きい膜を用いると、ステッパーで露光を行う時に、トレンチ分離で形成したアライメントマークが検出できない。従って、アライメントマークの段差を形成するために工程数が増えるという欠点がある。

【0007】そこで、本発明の技術的課題は、工程数を増加させずにステッパー露光時のアライメントマークの検出を容易に行える半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法では、半導体基板正面に素子分離用の第1の溝と露光用アライメントマークの第2の溝とを形成する半導体装置の製造方法において、前記半導体基板上の前記第1の溝と前記露光用アライメントマークの第2の溝とに夫々絶縁膜を埋め込む絶縁膜埋込工程と、フォトレジストをマスクとして前記半導体基板正面よりも外側に形成された前記絶縁膜の一部と前記第2の溝内に形成された前記絶縁膜とをエッチングする絶縁膜エッチング工程とを有することを特徴としている。

【0009】また、本発明の半導体装置の製造方法では、前記半導体装置の製造方法において、前記第1の溝及び前記第2の溝は、前記半導体基板上に酸化膜及び窒化膜を形成して、フォトレジストを介して所望する形状に、前記半導体基板上を前記酸化膜及び前記窒化膜とともにドライエッチする溝形成工程によって形成されていることを特徴としている。

【0010】また、本発明の半導体装置の製造方法では、前記いずれかの半導体装置の製造方法において、前記絶縁膜エッチング工程は、前記基板上の前記酸化膜及び前記窒化膜上に形成された絶縁膜の凸部と前記第2の溝上の絶縁膜の少なくとも一部とを除去する工程であることを特徴としている。

【0011】また、本発明の半導体装置の製造方法では、前記いずれかの半導体装置の製造方法において、前記絶縁膜エッチング工程の後に、更に、CMP研磨することと前記窒化膜及び前記酸化膜を除去することによって、前記第1の溝にトレンチ分離酸化膜を形成するとともに、前記第2の溝を形成し、前記基板表面にゲート酸化膜を形成し、前記ゲート酸化膜及び前記トレンチ分離酸化膜上にシリコン膜を形成し、前記シリコン膜上に高融点金属シリサイドを形成する工程を備えていることを特徴としている。

【0012】ここで、本発明の半導体装置の製造方法においては、前記絶縁膜埋込工程に、減圧CVD法を用いること又はバイアス高密度プラズマCVD法を用いることが好ましい。

【0013】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0014】(第1の実施の形態) 図1乃至図5は本発明の第1の実施の形態による半導体装置の製造方法を説明するための断面図である。各図の(a)はセルアレイ部の断面図である。また、各図の(b)は、リソグラフィー工程においてステッパーで露光を行うときに用いるアライメントマーク部の断面図であり、トレンチ分離と同時に形成される。まず、図1(a)及び(b)に示すように、半導体基板1上に100Åの酸化膜2と2000Åの窒化膜3を形成した後、フォトレジストを所定の形状にパターニングする。次に、フォトレジスト4をマスクとして窒化膜3と酸化膜2と半導体基板1とをドライエッティングにより除去し、半導体基板に2000Å程度の素子分離用の第1の溝5と、露光用アライメントマークの第2の溝5とを形成する(溝形成工程)。次に、図2(a)及び(b)に示すように、フォトレジスト4を除去した後、減圧CVD法を用いて、酸化膜6を5000Å堆積する(絶縁膜埋込工程)。次に、図3(a)及び(b)に示すように、パターンの疎密による研磨レートの差をなくすために、CMP研磨前にフォトレジストによりパターニングを行い、フォトレジストによりマスクされていない大面積に酸化膜6が凸になっている部分をドライエッティングにより除去する(絶縁膜エッチング工程)。

【0015】ここで、第1の実施の形態においては、絶縁膜エッチング工程は、従来技術と異なりアライメントマーク部20には、フォトレジストによるマスクを行わないで酸化膜6をドライエッティングにより除去する。その後、フォトレジストを除去する。次に、図4(a)及び(b)に示すように、CMP技術を用いて酸化膜6を窒化膜3をストップ膜として研磨し、ウェハ全面を平坦にする。その後、窒化膜3を高温の磷酸溶液で、酸化膜2をフッ酸溶液で除去する。これにより、セルアレイ部の第1の溝5にはトレンチ分離酸化膜8が形成され、アライメントマーク部には、第2の溝21が形成される。次に、図5(a)及び(b)に示すように、ゲート酸化膜9を形成した後、ゲート電極膜として、多結晶シリコン10とタングステンシリサイド膜11を形成する。その後、ゲート電極のパターニングマスクとしてフォトレジストを用い露光を行う。

【0016】(第2の実施の形態) 次に、本発明の第2の実施の形態について説明する。

【0017】図6乃至10は、本発明の第2の実施の形態による半導体装置の製造方法を説明するための断面図である。各図の(a)はセルアレイ部の断面図である。

【0018】また、各図の(b)は、リソグラフィー工程においてステッパーで露光を行うときに用いるアライメントマーク部の断面図であり、トレンチ分離と同時に形成される。

【0019】まず、図6(a)及び(b)に示すように、半導体基板1上に100Åの酸化膜2と2000Å

の塗化膜3を形成した後、フォトレジストを所定の形状にパターニングする。次に、フォトレジスト4をマスクとして塗化膜3と酸化膜2と半導体基板1とドライエッティングにより除去し、半導体基板に2000Å程度の素子分離用の第1の溝5¹と、露光用アライメントマークの第2の溝5²とを形成する（溝形成工程）。次に、図7(a)及び(b)に示すように、フォトレジスト4を除去した後、バイアス高密度プラズマCVD法を用いて、酸化膜1₂を5000Å堆積する（絶縁膜埋込工程）。次に、図8(a)及び(b)に示すように、パターンの疎密による研磨レートの差をなくすために、CMP研磨前にフォトレジスト7によりパターニングを行い、フォトレジスト7によりマスクされていない大面積に酸化膜1₂が凸になっている部分をドライエッティングにより除去する（絶縁膜エッティング工程）。ここで、第2の実施の形態においては、絶縁膜エッティング工程は、従来技術とは、異なり、セルアレイ部にはフォトレジスト7によるマスクを行い、アライメントマーク部2₀には行わないで、ドライエッティングにより酸化膜1₂を除去する。その後フォトレジスト7を除去する。次に、CMP技術を用いて酸化膜1₂を塗化膜3をストッパー膜として研磨し、ウェハ全面を平坦にする。その後、塗化膜3を高温の磷酸溶液で、酸化膜1₂をフッ酸溶液で除去する。これにより、図9(a)及び(b)に示すように、セルアレイ部にはトレンチ分離酸化膜8が形成され、アライメントマーク部には、第2の溝2₁が形成される。次に、図10(a)及び(b)に示すように、ゲート酸化膜9を形成した後、ゲート電極膜として、多結晶シリコン1₀とタングステンシリサイド膜1₁を形成する。その後、ゲート電極のパターニングマスクとしてフォトレジストを用い露光を行う。第2の実施の形態では、トレンチ分離の埋め込み酸化膜としてバイアス高密度プラズマCVD法による酸化膜を用いているため、第1の実施の形態の様に最終的にアライメントマーク部に酸化膜によるサイドウォールが形成されないため段差が急峻になる。これによりマーク検出が容易になりアライメント精度が向上する。

【0020】

【発明の効果】以上説明したように、本発明によれば、CMPでトレンチ分離用絶縁膜の平坦化を行う際に、パターンの疎密による研磨レートの差をなくすために、大面積に分離用絶縁膜が凸になっている部分をエッティングする。この時に、アライメントマーク部の第2の溝に埋め込まれている絶縁膜もエッティングし段差を形成しているので、工程数を増加させずにリソグラフィー工程でのステッパーによるアライメントマークの検出を容易に行えるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図2】本発明の第1の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図3】本発明の第1の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図4】本発明の第1の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図5】本発明の第1の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図6】本発明の第2の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図7】本発明の第2の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図8】本発明の第2の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図9】本発明の第2の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図10】本発明の第2の実施の形態による半導体装置の製造方法の説明に供せられる断面図である。

【図11】従来技術による半導体装置の製造方法の説明に供せられる断面図である。

【図12】従来技術による半導体装置の製造方法の説明に供せられる断面図である。

【図13】従来技術による半導体装置の製造方法の説明に供せられる断面図である。

【図14】従来技術による半導体装置の製造方法の説明に供せられる断面図である。

【図15】従来技術による半導体装置の製造方法の説明に供せられる断面図である。

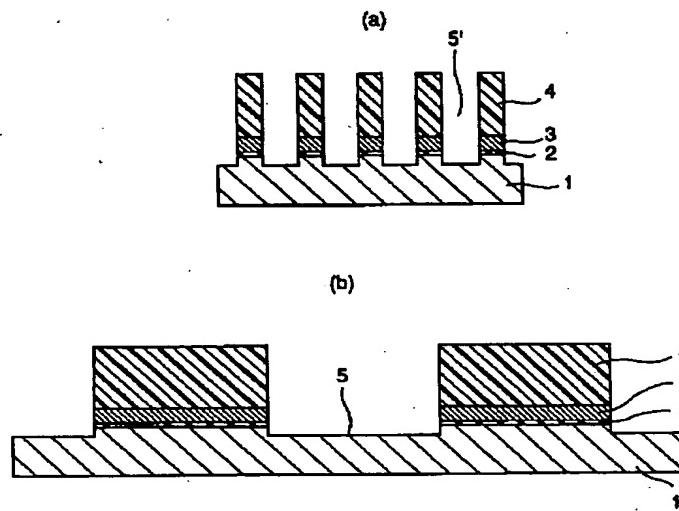
【図16】従来技術による半導体装置の製造方法の説明に供せられる断面図である。

【符号の説明】

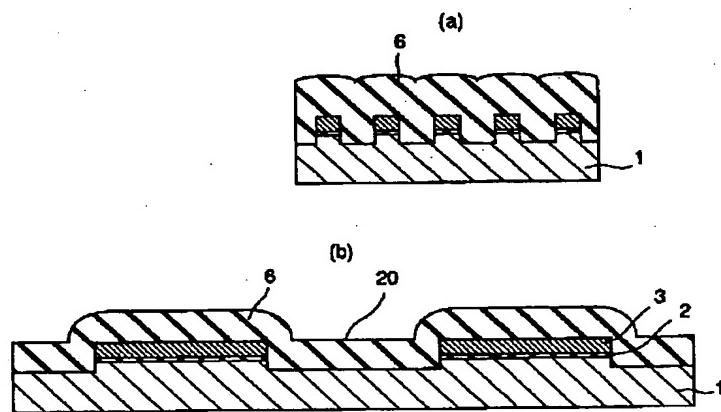
- 1 半導体基板
- 2, 6, 12 酸化膜
- 3 塗化膜
- 4, 7 フォトレジスト
- 5, 21 第2の溝
- 5¹ 第1の溝
- 8 トレンチ分離酸化膜
- 9 ゲート酸化膜
- 10 多結晶シリコン
- 11 タングステンシリサイド
- 51 半導体基板
- 52, 56 酸化膜
- 53 塗化膜
- 54, 57 フォトレジスト
- 55¹ 第1の溝
- 55, 71 第2の溝
- 58 トレンチ分離酸化膜
- 59 ゲート酸化膜
- 60 多結晶シリコン

61 タングステンシリサイド

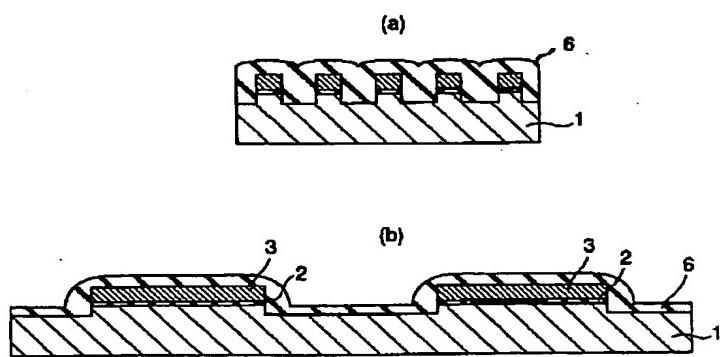
【図1】



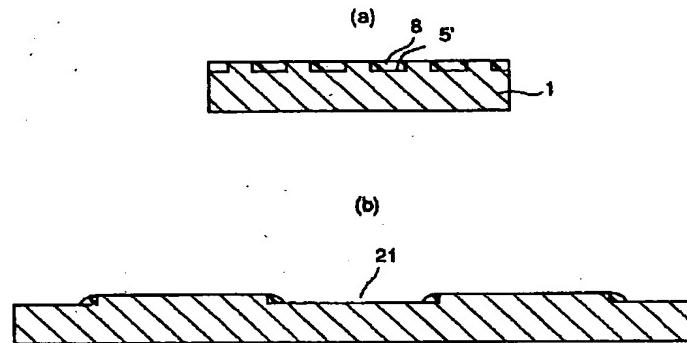
【図2】



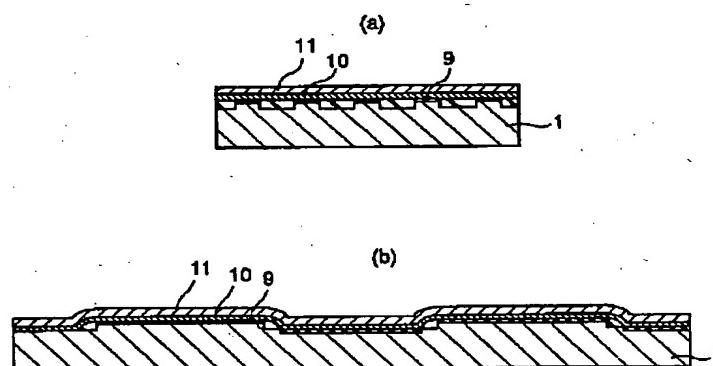
【図3】



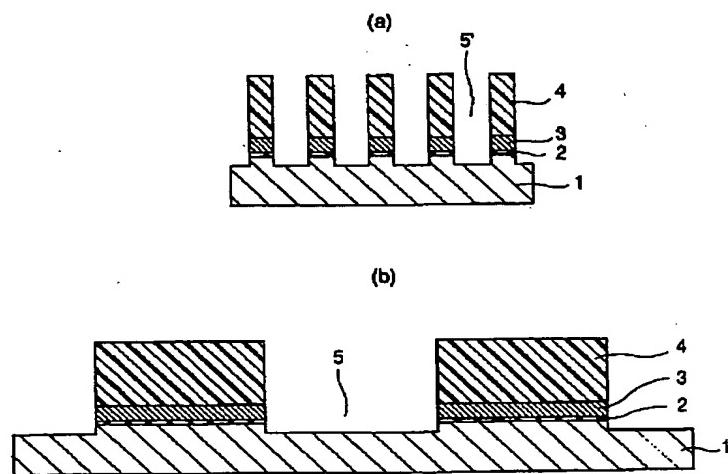
【図4】



【図5】

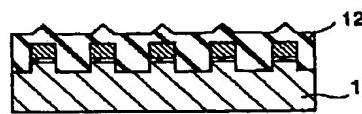


【図6】

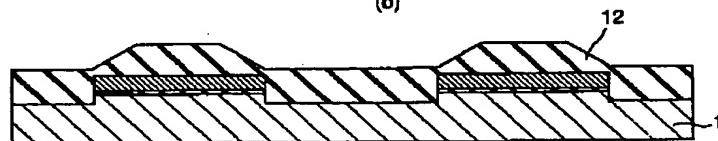


【図7】

(a)

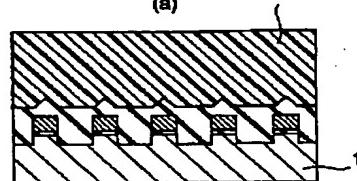


(b)

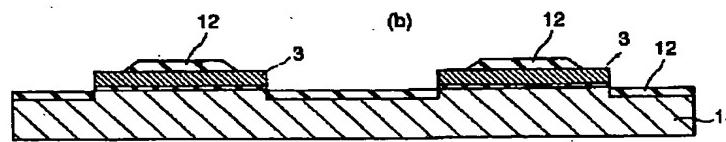


【図8】

(a)



(b)

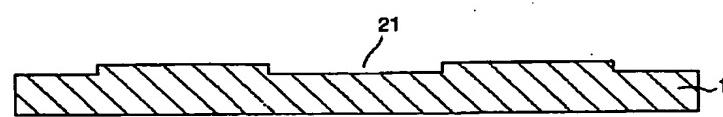


【図9】

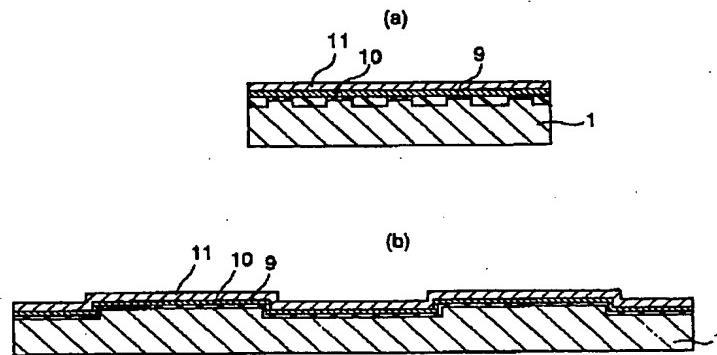
(a)



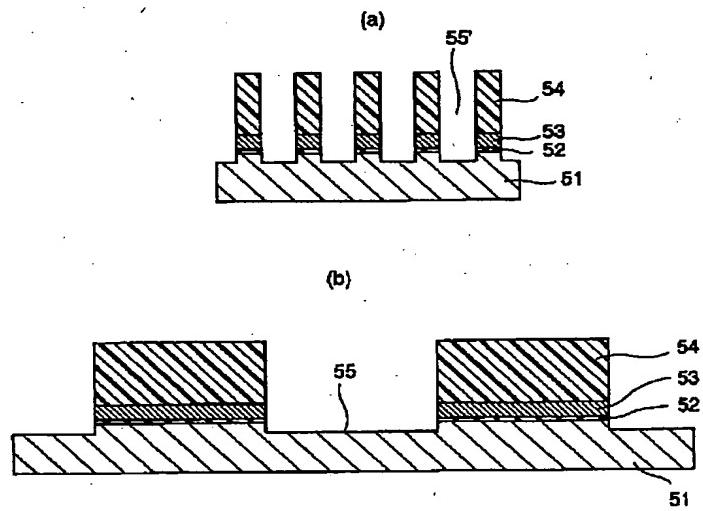
(b)



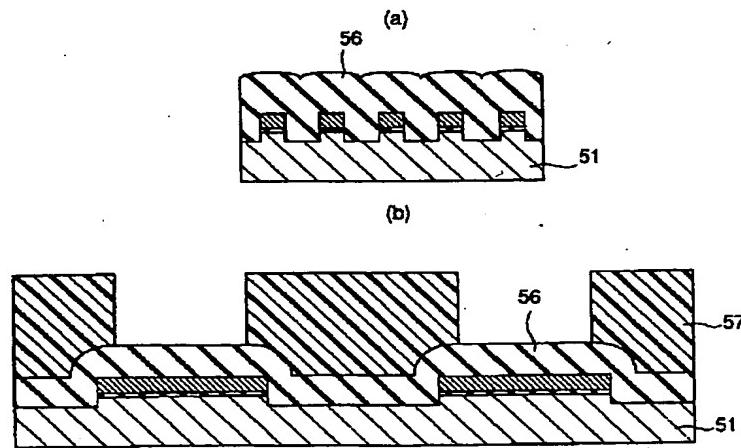
【図10】



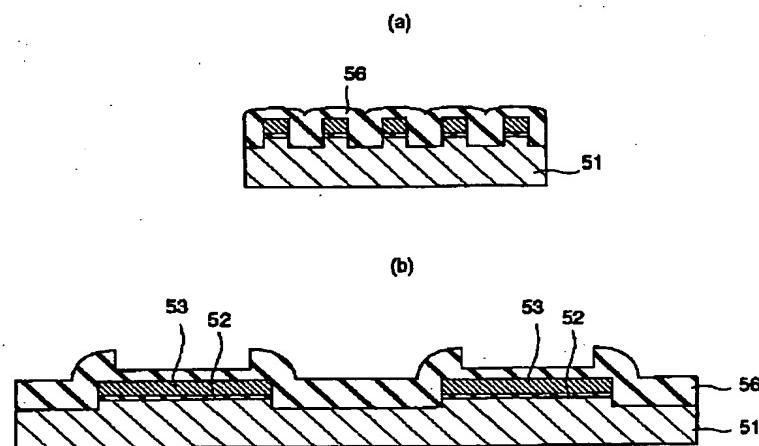
【図11】



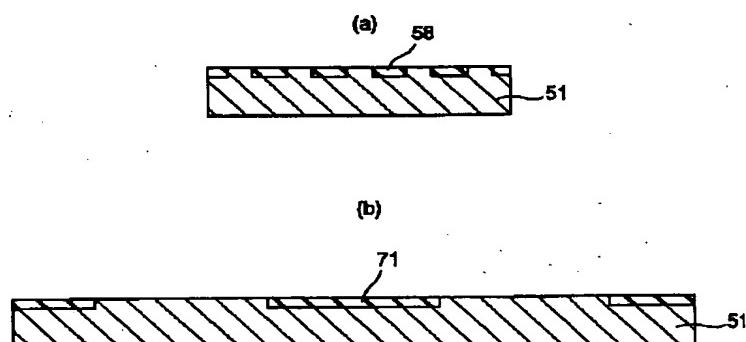
【図12】



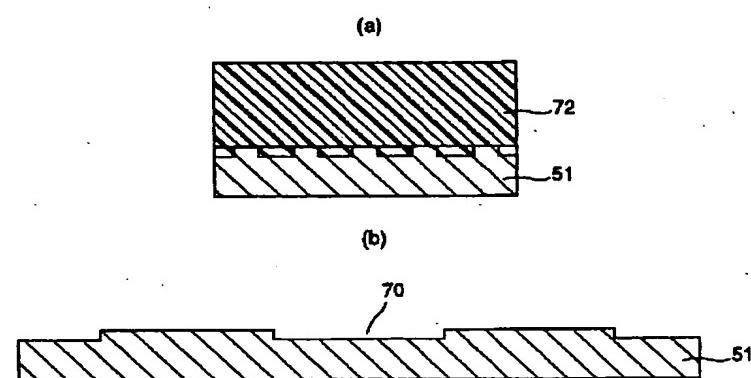
【図13】



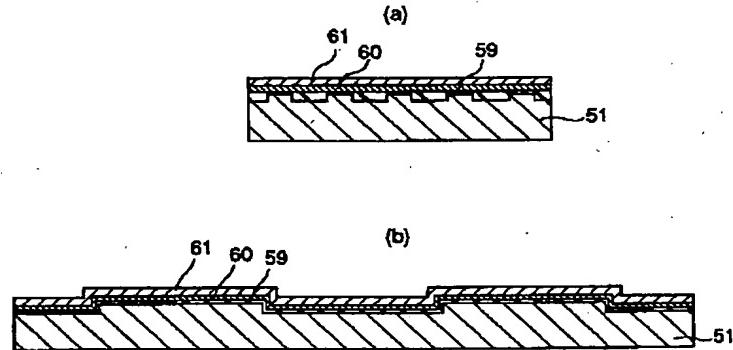
【図14】



【図15】



【図16】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.